

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03K 17/00

H01P 1/15



[12] 发明专利申请公开说明书

[21] 申请号 03107420.0

[43] 公开日 2004 年 4 月 28 日

[11] 公开号 CN 1492585A

[22] 申请日 2003.3.20 [21] 申请号 03107420.0

[30] 优先权

[32] 2002.10.21 [33] JP [31] 306046/2002

[71] 申请人 新日本无线株式会社

地址 日本东京

[72] 发明人 登坂裕之

[74] 专利代理机构 中国国际贸易促进委员会专利

商标事务所

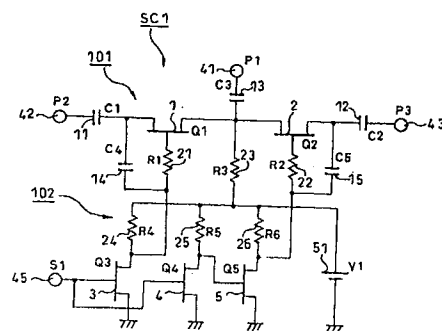
代理人 王永刚

权利要求书 1 页 说明书 11 页 附图 7 页

[54] 发明名称 开关半导体集成电路

[57] 摘要

一种开关半导体集成电路具有控制高频信号通过的开关 FET，使开关 FET 在通 - 断操作间切换。开关半导体集成电路包含使用反相器电路的逻辑控制部分，它根据外部施加的控制信号来产生开关信号，反相器电路使用结型 FET，开关 FET 的栅极经栅极电阻器连接至反相器电路的输出端，此输出端又与耦合部分高频信号的耦合电容器相连。耦合的高频信号被结型 FET 的栅与漏间的等效二极管整流而叠加在施于开关 FET 栅极的 DC 电压上。



ISSN 1008-4274

1. 一种开关半导体集成电路, 具有开关 FET 来控制高频信号的导通, 由施加于开关 FET 栅极的开关信号使开关 FET 在开态和关态间切换,

其中开关半导体集成电路包含使用反相器电路的逻辑控制部分, 它根据外部供给的控制信号产生开关信号, 且

开关 FET 的栅极经栅极电阻器与反相器电路的输出端相连, 此输出端又与耦合部分高频信号的耦合电容器相连,

从而使耦合的高频信号被结型 FET 栅与漏间的等效二极管整流, 并叠加在施加于开关 FET 栅极的 DC 电压上。

2. 权利要求 1 所述的开关半导体集成电路, 其中, 在反相器电路的输出端与漏极间配有辅助电容器, 以便根据辅助电容器与耦合电容器的电容比来调节叠加在 DC 电压上的高频信号整流电压的大小。

3. 一种开关半导体集成电路, 具有开关 FET 来控制高频信号的导通, 由施加于开关 FET 栅极的开关信号使开关 FET 在通-断操作间切换,

其中在施加开关信号的信号端与开关 FET 的栅极间两个电阻器串联连接,

在两个电阻器的连接点处接有耦合部分高频信号的耦合电容器, 而一只二极管接在连接点与地之间, 使二极管的负极接电阻器的连接点, 二极管的正极接地,

从而使耦合的高频信号被二极管整流, 就叠加在施于开关 FET 栅极的 DC 电压上。

开关半导体集成电路

技术领域

本发明涉及到开关高频信号的半导体开关电路，尤其是改善了工作特性的半导体开关电路。

背景技术

在处理高频信号的袖珍电话、移动无线通讯设备等设备中使用开关半导体集成电路，这种电路使用 GaAs 化合物半导体材料制成的场效应晶体管 MESFET（金属-半导体场效应晶体管）、HEMT（高电子迁移率晶体管）等进行高频信号的开关。

由于这样的袖珍移动通讯终端设备用电池供电，需要有特别是在低压下能开关高频信号的开关半导体集成电路。作为这样一种开关半导体集成电路，已公开和广泛知道的是，例如，SPDT（单刀双掷）开关电路，它被设计成包含反相器电路来用一个控制信号进行开关（例如，参见日本未审查专利公开 164772/2002，第 4 页，图 1）。

图 7 表示这样一种常规 SPDT 开关电路。下面，将参照图 7 来说明这种常规电路。

参照图 7，P1、P2 和 P3 代表信号端；Q1、Q2、Q3、Q4 和 Q5 代表 FET；S1 代表控制偏压作用端；R1、R2、R3、R4、R5 和 R6 代表电阻器；C1、C2 和 C3 代表隔断 DC 电流的电容器；以及 V1 代表供给驱动电压 Vdd 的电源。

在图 7 示例电路中的反相器电路为一般熟知的 DCFL（直耦 FET 逻辑），其中增强型 FET 用作组成反相器电路的 Q3、Q4 和 Q5，耗尽型 FET 用作开关 Q1 和 Q2 以降低开态的导通损耗。

在这种配置中，当高电平电压施加于，例如，控制偏压作用端 S1 时，FET Q3 变为开态而使开关 FET Q1 的栅极取地电位 GND。同时，

由于与控制偏压作用端 S1 相连的另一 FET Q4 变为开态, FET Q5 的栅极也取 GND 电位。结果, 增强型 FET Q5 变为关态而使电源电压 Vdd 由电源 V1 经负载电阻器 R6 加至开关 FET Q2 的栅极。此外, 开关 FET Q1、Q2 的漏极和源极经电阻器 R3 也取电源电压 Vdd。

由于这样一个电压施加于开关电路, 开关 FET Q2 的栅-漏间和栅-源间的电压差将为零, 从而使开关 FET Q2 的漏极和源极彼此电连通。另一方面, 电源电压 Vdd 按肖特基结的反向施加至开关 FET Q1 的栅-漏间和栅-源间, 从而使开关 FET Q1 的漏极和源极彼此电关断。结果, 信号端 P1 与信号端 P3 电连接使高频信号能够通过, 而信号端 P1 与信号端 P2 则彼此电隔断。

另一方面, 当低电平的电压施加于偏压控制作用端 S1 时, 开关 FET Q1 的栅极电压取 Vdd, 开关 FET Q2 的栅极电压取 GND 电位, 这就使信号端 P1 与信号端 P2 彼此电连接使高频信号能够通过, 而信号端 P1 与信号端 P3 彼此电关断, 这与前述的高电平电压施加于控制偏压作用端 S1 时的情形相反。

在这样一种开关半导体集成电路中, 开关半导体集成电路所能处理的最大功率通常取决于关态的 FET。例如, 公开和广泛知道的高频信号最大功率一般为下式给出 (例如, 见 “Monolithic microwave Integrated Circuit (MMIC)”, Masayoshi AIKAWA and four others, Electronic information Communication Society (a corporate juridical person), Jan.25,1997)。

$$P_{\max} = 2 \{ n (V_{\text{bias}} - V_p) \}^2 / Z_0$$

这里, n 代表串联的开关 FET 数目; V_p 代表开关 FET 的夹断电压; V_{bias} 代表施加于关态开关 FET 栅极端的偏压; 以及 Z_0 代表系统的特征阻抗。根据这个公式将会了解, 为了增大开关半导体集成电路的最大功率 P_{\max} , 可增加串联的开关 FET 数目, 或可将开关 FET 的夹断电压做得较低, 或者还可提高偏压。

然而,上述的用于袖珍终端设备中的常规开关半导体集成电路有一个问题,即增加开关 FET 数目会招致所谓的芯片面积增大,导致成本上升。此外,如果开关 FET 的夹断电压做得较低,会招致开关 FET 开态电阻的增大,因而引起导通损耗恶化的问题,这是开关 FET 变为开态时最重要的特性之一。此外,在袖珍终端设备所用的开关半导体集成电路中有一个问题,即由于前述的低压驱动要求,不能简单地提高开关 FET 的偏压。

因此,作为提高 FET 偏压的手段,提出了一种,例如,日本未审查专利公开 112314/1999 号所公开的技术。即,按照这种方法,采用包含二极管、电阻器和电容器的 DC 电压产生电路由高频信号产生一 DC 电压,并由驱动电压和按照开关高频信号定时的 DC 电压中较高的一个产生开关控制电压,从而使偏压升高。

然而,根据这种技术,复杂的电路配置引起了增大芯片面积和由于增加元件数目而使成本升高的问题。

发明内容

鉴于上述情况做出了本发明,其目的是提供一种开关半导体集成电路,它可在低压下驱动,并可开关比常规情形更大功率的高频信号。

本发明的另一个目的是提供一种开关半导体集成电路,它可改善高频特性和畸变特性。

按照本发明,提供了一种有开关 FET 的开关半导体集成电路来控制高频信号的导通,使得开关 FET 由施加于其栅极的开关信号在开操作与关操作间切换,

其中开关半导体集成电路包含使用反相器电路的逻辑控制部分,它根据外部施加的控制信号来产生开关信号,

反相器电路使用结型 FET,连接电源的电阻负载与之相连,

开关 FET 的栅极经栅极电阻器与反相器电路的输出端相连,此输出端与耦合部分高频信号的耦合电容器相连,从而使耦合的高频信号被结型 FET 栅与漏间的等效二极管整流,并叠加在施加于开关 FET

栅极的 DC 电压上。

按照这种配置,当反相器电路的结型 FET 变为关态时,开关 FET 变为开态,此时,由耦合电容器耦合的部分高频信号被存在于关态结型 FET 栅与漏间的等效二极管整流,而叠加在施于开关 FET 栅极的 DC 电压上,从而能开关比常规情形更大功率的高频信号,即使在低驱动电压下。

附图说明

图 1 为说明本发明实施方式的开关半导体集成电路的第一种示例电路图;

图 2 为说明本发明实施方式的开关半导体集成电路的第二种示例电路图;

图 3 为说明本发明实施方式的开关半导体集成电路的第三种示例电路图;

图 4 为根据本发明实施方式的开关半导体集成电路中开关 FET 在开态时的栅极电压变化特性图;

图 5 为根据本发明实施方式的开关半导体集成电路中开关 FET 在关态时漏极电压对输入功率变化的特性图;

图 6 为根据本发明实施方式和在常规电路中开关半导体集成电路的导通损耗对输入功率的特性图;

图 7 为说明常规电路的一个示例电路的电路图。

具体实施方式

下面,将参照图 1-6 描述本发明的实施方式。

这里,要注意,下面描述的材料、配置及其他内容都不能限制本发明,可以进行各种修改,只要保持在本发明的范围内。

首先,将参照图 1 来描述本发明实施方式的第一个示例电路。

在此第一个示例电路中,开关半导体集成电路 SC1 可粗略地分为由开关部分 101 和逻辑控制部分 102 来组成。

开关部分 101 包含第一和第二开关 FET 1、2 (在图 1 中分别表示为 “Q1” 和 “Q2”), 第一和第二开关 FET 1、2 的工作, 如下文所描述的, 是由来自逻辑控制部分 102 的开关电压来开关的, 从而改变第一至第三信号端 41、42、43 (在图 1 中分别表示为 “P1”、“P2”、“P3”) 的连接状态 (下文将详述)。

逻辑控制部分 102 按照从外部施加至控制信号输入端 45 (在图 1 中表示为 “S1”) 的控制信号输出开关控制信号来控制开关部分 101 的第一和第二开关 FET 1、2 的工作 (下文将详述)。

下面, 将描述一具体的电路组成。

首先, 开关部分 101 包含第一和第二开关 FET 1、2 作为主要组成元件, 且本发明的实施方式中都采用耗尽型场效应晶体管。

第一开关 FET 1 的漏极 (或源极) 经第一电容器 11 (在图 1 中表示为 “C1”) 与第二信号端 42 相连, 而第一开关 FET 1 的源极 (或漏极) 和第二开关 FET 2 的漏极 (或源极) 一起经第三电容器 13 (在图 1 中表示为 “C3”) 与第一信号端相连。此外, 第一开关 FET 1 的源极 (或漏极) 和第二开关 FET 2 的漏极 (或源极) 一起经第三电阻器 23 (在图 1 中表示为 “R3”) 与电源 51 (在图 1 中表示为 “V1”) 相连。

而且, 第二开关 FET 2 的源极 (或漏极) 经第二电容器 12 (在图 1 中表示为 “C2”) 与第三信号端 43 相连。

再者, 第一开关 FET 1 的栅极经第一电阻器 21 (在图 1 中表示为 “R1”) 与第三开关 FET 3 (在图 1 中表示为 “Q3”) 的漏极 (或源极) 相连, 而第二开关 FET 2 的栅极经第二电阻器 22 (在图 1 中表示为 “R2”) 与第五 FET 5 (在图 1 中表示为 “Q5”) 的漏极 (或源极) 相连, 第五 FET 5 也是后面描述的逻辑控制部分 102 的组成元件之一。

此外, 第一开关 FET 1 的漏极经第四电容器 14 (在图 1 中表示为 “C4”) 与第三 FET 3 的漏极相连, 而第二开关 FET 2 的漏极经第五电容器 15 (在图 1 中表示为 “C5”) 与第五 FET 5 的漏极相连。

另一方面，逻辑控制部分 102 包含第三至第五 FET 3-5 作为主要组成元件，且在本发明的实施方式中都采用增强型场效应晶体管，每个都组成电阻负载反相器电路。

具体地，首先，第三和第四 FET 3、4 的栅极与控制信号输入端 45 相连。此外，第三和第四 FET 3、4 的源极（或漏极）都接地，而第三 FET 3 的漏极（或源极），也就是反相器电路的输出端，经第四电阻器 24（在图 1 中表示为“R4”）与电源 51 相连，而且，第四 FET 4 的漏极（或源极）（在图 1 中表示为“Q4”）经第五电阻器 25（在图 1 中表示为“R5”）也与电源 51 相连。

再者，第五 FET 5 的栅极与第四 FET 4 的漏极（或源极）相连。此外，第五 FET 5 的漏极（或源极），也就是反相器电路的输出端，经第六电阻器 26（在图 1 中表示为“R6”）与电源 51 相连，而第五 FET 5 的源极（或漏极）接地。

这里，在本发明的实施方式中，在上述的配置中，从第三 FET 3 漏极至第一电阻器 21 与第四电容器 14 连接点间的连线，以及从第五 FET 5 的漏极至第二电阻器 22 与第五电容器 15 连接点间的连线，为方便起见，都将称为“开关信号线”。

下面，将描述前述配置的工作状况。

首先，将描述相应于高逻辑值电平的电压施加于控制信号输入端 45 时的工作状况。对于这种情形，这个电压的作用使第三和第四 FET 3、4 变为开态（电导通态）。

由于第三 FET 3 导通，第一开关 FET 1 的栅极接近地电位。为此，第一开关 FET 1 变为关态（非电导通态）。

另一方面，由于第四 FET 4 导通，第五 FET 5 变为关态（非电导通态），使得接近电源电压 V_{dd} 的电压经第六电阻器 26 和第二电阻器 22 施加于第二开关 FET 2 的栅极，从而使第二开关 FET 2 变为开态。

结果，高频信号就能在第一信号端 41 和第三信号端 43 间通过，而在第一信号端 41 与第二信号端 42 间，因第一开关 FET 1 为关态而

使高频信号的导通被关断。这里,施加于第一信号端 41 或第三信号端 43 的部分高频信号会因第五电容器 15 的耦合而漏至开关信号线。

这里,由于组成反相器负载电阻的第四至第六电阻器 24-26 的电阻值,为降低电流消耗而选为十至几十 $K\Omega$,开关信号线将具有大的阻抗。为此,经第五电容器 15 漏至开关信号线的高频信号叠加在 DC 电压的电源电压 V_{dd} 上。

此外,由于第五 FET 5 具有结型栅极结构,其栅与漏间的部分等效为一二极管,它被经第五电容器 15 漏过来的高频信号置于反偏压状态。为此,如果高频信号处于正值期间,开关信号线的电压将上升,只要电压保持在前述等效二极管击穿电压范围内。

另一方面,如果高频信号处于负值期间,此二极管将被开通,即,当电源电压 V_{dd} 与叠加在此电源电压 V_{dd} 上的高频信号之和超过此等效二极管的内建电压 V_{bi} 时,第五 FET 5 的栅与漏间彼此电导通。然后,由于连接第五 FET 5 栅极的第四 FET 4 为开态,第五 FET 5 的栅极将接近地电位,从而使开关信号线的电压固定为 $-V_{bi}$ 。

结果,图 4 所示的整流电压波形将出现在与开态的第二开关 FET 2 栅极相连的开关信号线上。此整流电压的 DC 电压分量,将由图 4 自然了解,为高于电源电压 V_{dd} 的状态。因此,高于电源电压的 DC 电压将施加于开态的开关 FET 栅极,即,第二开关 FET 2 属于这种情形。

为此,开态的第二开关 FET 2 的栅极电压将高于漏/源电压 V_{dd} ,且如果与此 V_{dd} 的电压差超过等效存在于开态的开关 FET 栅与漏间和栅与源间二极管的内建电压 V_{bi} ,这些等效二极管将变成开态。因此,从施加于开态的第二开关 FET 2 栅极的电压减去内建电压 V_{bi} 所得到的电压将出现在第二开关 FET 2 的漏极与源极间。

另一方面,此时由于关态的第一开关 FET 1 的漏极电压和源极电压具有与开态的第二开关 FET 2 相同的电压,关态的第一开关 FET 1 的漏极电压和源极电压将也从电源电压 V_{dd} 升高。

此外,如前所述,关态的第一开关 FET 1 的漏极电压固定为地电

位。为此，虽然施加于关态的第一开关 FET 1 栅与漏间和栅与源间的反向偏压通常为电源电压 V_{dd} ，由于根据本发明实施方式的开关半导体集成电路的上述工作情形，可施加高于 V_{dd} 的偏压。结果，关态 FET，第一开关 FET 1 即属于这种情形，可处理的最大功率增大，因此总的说来开关半导体集成电路能够开关较大的信号。

随着输入功率增大这将更为明显，当输入大信号时，不用提高电源电压就可使系统处在等效于升高电源电压的状态，从而提供了一种甚至可在低压下开关大功率高频信号的开关半导体集成电路。

图 5 表示在根据本发明的开关半导体集成电路中关态开关 FET 漏/源端电压的测量实例。下面，将描述图 5。首先，在图 5 中横轴代表输入功率，纵轴代表漏（或源）端电压。

首先，在常规电路中，无论输入功率怎样改变，漏端电压保持恒定值 V_{dd} 。另一方面，由图 5 可确认，在本发明的开关半导体集成电路中，在低输入功率的范围内出现在漏端的电压为电源电压；然而，当输入功率再增大时，出现在漏端的 DC 电压在 30dBm 处开始上升，且当输入功率进一步增大时，漏端电压将随输入功率的增加而升高。

其次，图 6 表示在本发明的开关半导体集成电路中导通损耗与输入功率的测量实例。下面，将描述图 6。首先，在图 6 中，横轴代表输入功率，纵轴代表导通损耗。此外，在图 6 中，虚线代表常规电路的测量实例，而实线代表本发明的开关半导体集成电路的测量实例。

这里，常规电路除了没有图 1 实例中相应于第四和第五电容器 14，15 的电容器外，所用的 FET 数目、FET 的夹断电压以及电源电压与本发明的电路处于同样的条件下。

由此测量实例可确认，对于常规电路的情形，当输入功率达到 33dBm 时，导通损耗开始恶化，此后，导通损耗将随输入功率的增大而指数上升（见图 6 中虚线所示特性曲线）。

与此对照，可确认，对于本发明的开关半导体集成电路的情形，尽管在与常规电路相同的工作电压下，随着输入功率增大导通损耗也没有恶化（见图 6 实线所示特性曲线）。

这样,对于本发明的开关半导体集成电路的情形,可大大改善功率开关能力而没有提高电源电压。此外,耦合高频信号所用的电容器,相应于图1中所示的电容器14、15,通常有1 pF或更小的小容量就足够了,因而可得到上述的工作特性而没有增大集成电路的规模或芯片尺寸。

这里,可由与高频信号线耦合的第四和第五电容器14、15之值来调节栅压开始上升的输入功率。此外,在图1所示的实例中,第四电容器14的一端连接至第二信号端42侧,第五电容器15的一端连接至第三信号端43侧;然而,即使它们都连接至第一信号端41侧,也可得到类似的功能和作用。

下面,将参照图2描述第二个实例。这里,与图1所示实例中相同的组成元件将由同样的标号代表,其详细说明这里将省略。下面,将集中于不同处。

在这第二个实例中,开关半导体集成电路SC2除了第一个实例所示的配置外还在逻辑控制部分102A中包含第六和第七电容器16、17。

即,用作辅助电容器的第六电容器16(在图2中表示为“C6”)连接在第三FET3的漏极(或源极)与地间,而用作辅助电容器的第七电容器17(在图2中表示为“C7”)连接在第五FET5的漏极(或源极)与地间。

按照这样的配置,在开关信号线上产生的不必要的高频信号将被第六和第七电容器16、17滤去,叠加在开关信号线上的高频信号电压分量可由适当地选取第六和第七电容器16、17与将高频信号耦合输入开关半导体集成电路SC2的第四和第五电容器14、15之比来决定。

在上述的两个实例中都举出有反相器电路者作为实例;然而,如果与开关FET(即,在上述实例中相应于第一和第二开关FET1、2者)栅极相连的开关信号线具有高阻抗,可应用本发明的原理,而且即使对没有反相器电路的情形也可得到类似的效果。

接着,将参照图3来描述第三个实例。这里,与图1所示实例中相同的组成元件将由同样的标号代表,其详细说明这里将省略。下面,

将集中于不同处。

在这第三个实例中，开关半导体集成电路 SC3 是一个实例，它没有使用反相器电路的逻辑控制部分，这与第一和第二个实例适成对照。

即，此第三个实例与图 1 所示的第一个实例具有基本上相同的配置，除了供给开关部分 101 第一和第二开关 FET 1、2 栅极开关信号的电路不同于图 1 所示实例外。

具体地，首先，第七电阻器 27（在图 3 中表示为 “R7”）连接在第一控制信号输入端 45 与第一电阻器 21 和第四电容器 C4 的连接点之间，从而使从外部逻辑电路（未示出）送至第一控制信号输入端 45 的开关信号经第七电阻器 27 和第一电阻器 21 施加于第一开关 FET 1 的栅极。此外，第一二极管 31（在图 3 中表示为 “D1”）连接在地与第一电阻器 21 和第四电容器 C4 的连接点之间，使第一二极管 31 的阳极接地而其阴极与第一电阻器 21 和第四电容器 C4 的连接点相连。这里，第七电阻器 27 具有十 K Ω 至几十 K Ω 的阻值是合适的。

同时，第八电阻器 28（在图 3 中表示为 “R8”）连接在第二控制信号输入端 46 与第二电阻器 22 和第五电容器 15 的连接点之间，从而使从外部逻辑电路送至第二控制信号输入端 46 的开关信号经第八电阻器 28 和第二电阻器 22 施加于第二开关 FET 2 的栅极。此外，第二二极管 32（在图 3 中表示为 “D2”）连接在地与第二电阻器 22 和第五电容器 15 的连接点之间，使第二二极管 32 的阳极接地而其阴极与第二电阻器 22 和第五电容器 15 的连接点相连。这里，第八电阻器 28 具有十 K Ω 至几十 K Ω 的阻值是合适的。

此外，第三电阻器 23 的一端以与图 1 实例相同的方式连接至第一开关 FET 1 源极（或漏极）和第二开关 FET 2 漏极（或源极）的连接点，其另一端与电源 51 相连。

根据这样的配置，彼此相反的逻辑信号从外部逻辑电路（未示出）分别施加于第一控制信号输入端 45 和第二控制信号输入端 46。

即，例如当电源 51 供给第一控制信号输入端 45 与电源电压 Vdd 相同的电压而第二控制信号输入端 46 置于地电位时，第一开关 FET 1

的栅与漏间和栅与源间的电压差将为零,使得第一开关 FET 1 为开态,因而其漏与源间能通过高频信号。另一方面,第二开关 FET 2 为关态,因为其漏与源间的电压差虽为 V_{dd} 但栅极为地电位。

如果在这种状态下,高频信号输入第一信号端 41 或第二信号端 42,部分高频信号因第四电容器 14 的耦合而漏至第一电阻器 21 与第七电阻器 27 之间的连线(连接点)。由于第七电阻器 27 具有高电阻,漏入的部分高频信号将与从外部经第一控制信号输入端 45 输入的作为开关信号的 DC 电压彼此叠加;然而,这部分高频信号在其负值期间将被第一二极管 31 固定为二极管的内建电压 $-V_{bi}$ 。结果,由于其原理与参照图 1 的实例所述者相似,当大信号输入此开关半导体集成电路 SC3 时,关态的开关 FET 的开关电压可升高,因而能在低驱动电压下开关大信号。

在本发明的实施方式中已举出 SPDT(单刀双掷)开关作为实例加以描述;然而,本发明也可同样用于一般的开关半导体集成电路,其开关电路有开态的开关 FET 和关态的开关 FET,例如 DPDT(双刀双掷)开关。

如上所述,本发明通过提供一种配置,其中一部分输入高频信号被整流并叠加在通过高频信号的开态开关 FET 栅极电压上,产生不升高驱动电压就可开关比常规情形更大功率高频信号的效果。

此外,由于可开关比常规情形更大功率的高频信号,本发明可有助于提供一种改善了高频特性和畸变特性的开关半导体集成电路。

图1

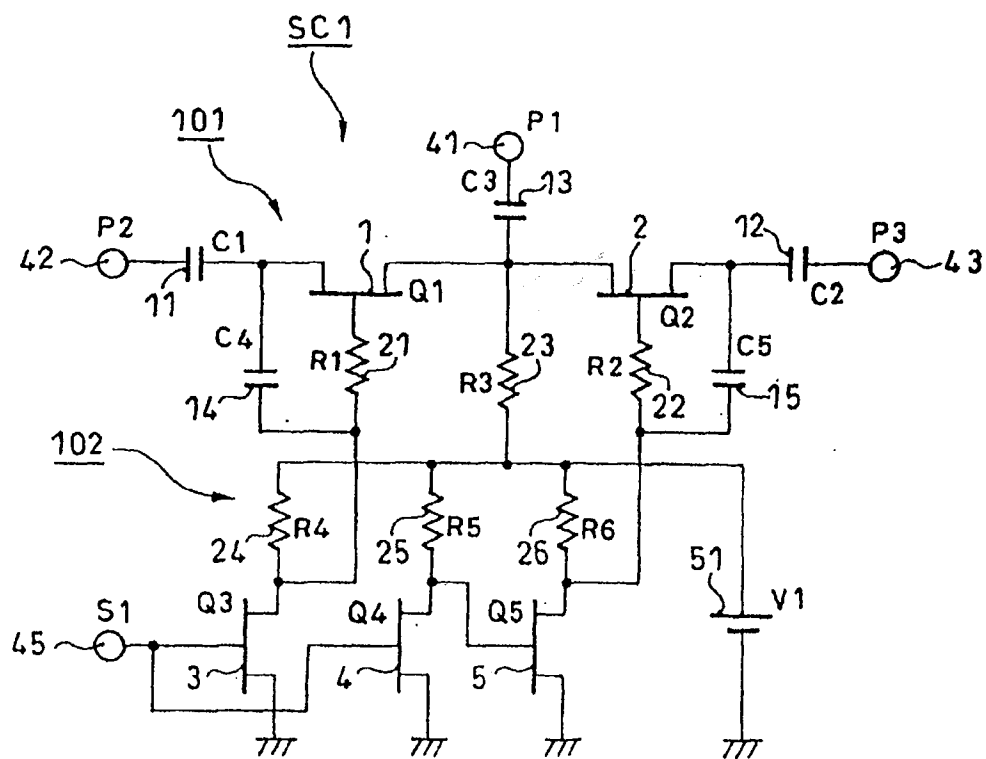


图2

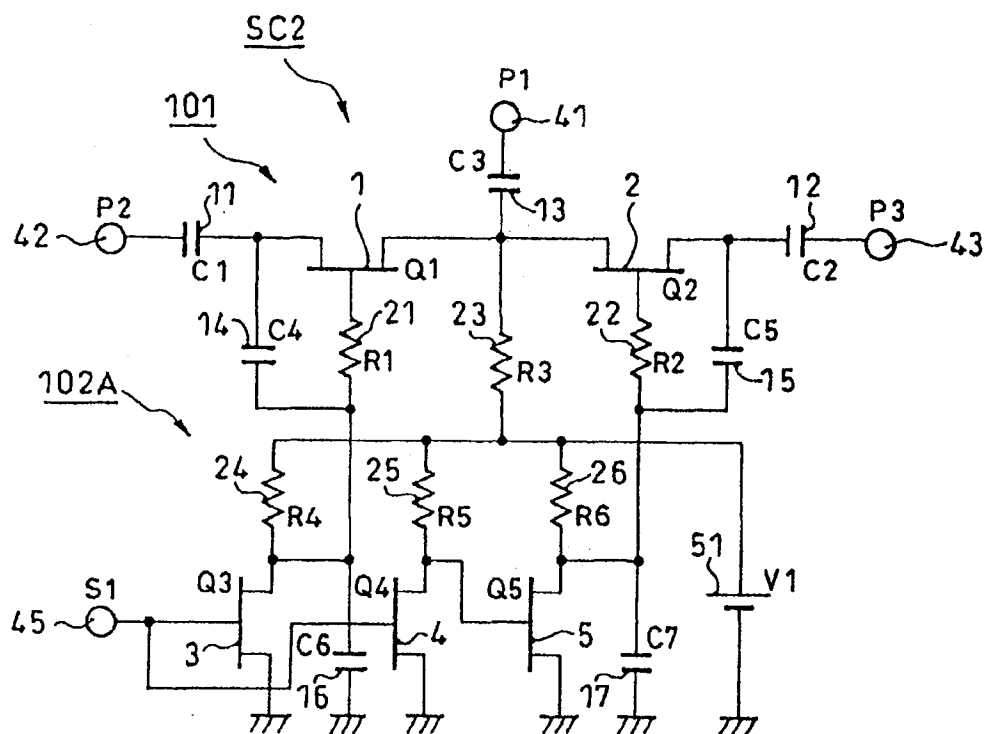


图4

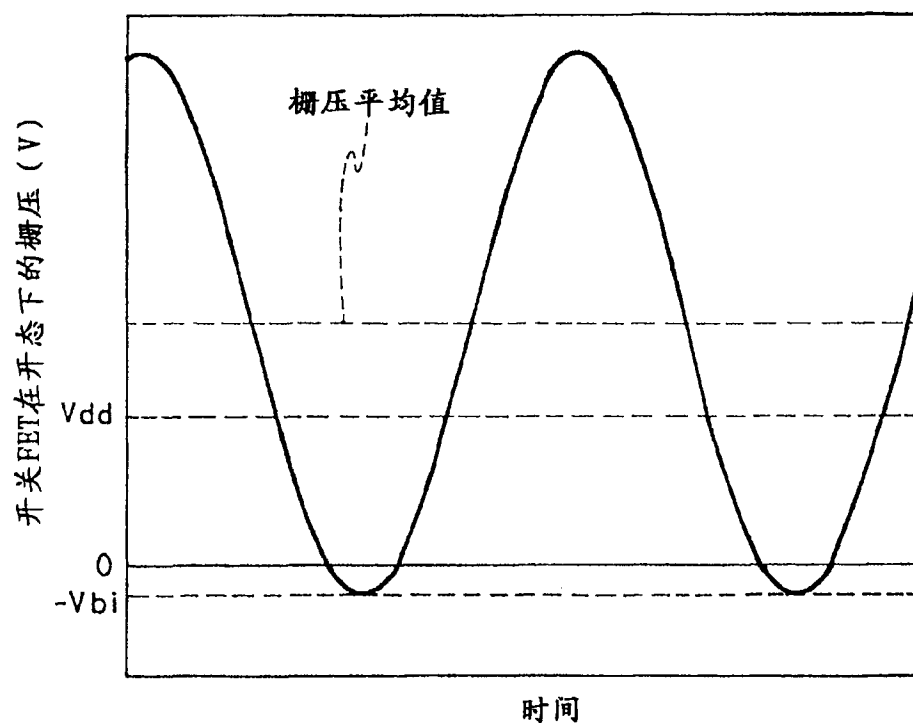


图5

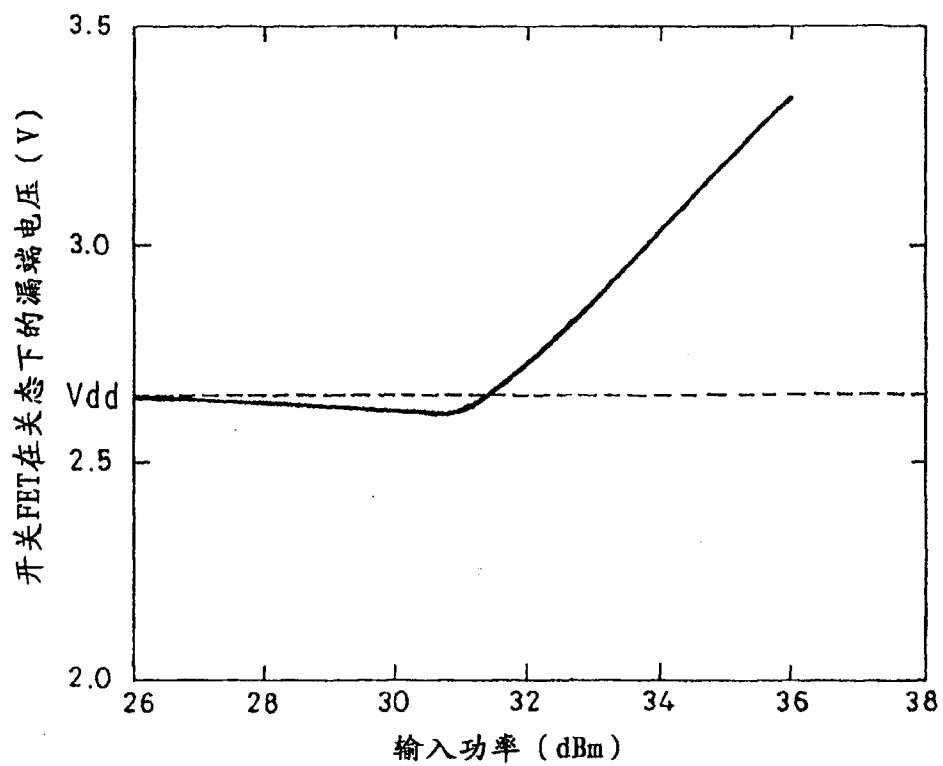


图6

